



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2002-0085499  
Application Number

출원 년 월 일 : 2002년 12월 27일  
Date of Application DEC 27, 2002

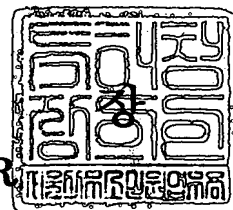
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003      년      04      월      16      일

특      허      청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0047
【제출일자】	2002.12.27
【발명의 명칭】	반도체 소자의 금속배선 형성방법
【발명의 영문명칭】	Method of forming metal line of semiconductor device
【출원인】	
【명칭】	( 주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	김동준
【성명의 영문표기】	KIM,Dong Joon
【주민등록번호】	670406-1041717
【우편번호】	132-781
【주소】	서울특별시 도봉구 창1동 주공3단지 315-802
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	18 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	11 항 461,000 원
【합계】	490,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 반도체 소자의 금속배선 형성방법에 관하여 것으로, 하부 배선이 형성된 반도체 기판 상에 층간 절연막을 형성하는 단계와, 상기 층간 절연막을 패터닝하여 상기 하부 배선과 연결되는 상부 배선 형성을 위한 개구부를 형성하는 단계와, 상기 개구부가 형성된 상기 반도체 기판을 소정 온도로 냉각시키는 단계와, 상기 개구부 측벽에 형성된 폴리머를 제거하고 상기 하부 배선 표면에 형성된 금속 산화막을 제거하기 위하여 수소 환원 반응을 이용한 클리닝 공정을 실시하는 단계와, 상기 클리닝 공정과 인-시츄로 어닐링 공정을 실시하는 단계 및 상기 개구부 내에 도전 물질을 매립하여 상부 배선을 형성하는 단계를 포함한다.

**【대표도】**

도 6

**【색인어】**

수소 반응성 클리닝, 듀얼 다마신, 구리막, 층간 절연막, 어닐링



**【명세서】**

**【발명의 명칭】**

반도체 소자의 금속배선 형성방법{Method of forming metal line of semiconductor device}

**【도면의 간단한 설명】**

도 1 내지 도 7은 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속배선 형성 방법을 설명하기 위하여 도시한 단면도들이다.

<도면의 주요 부분에 부호의 설명>

10: 반도체 기판    12: 하부 배선

14: 캡핑막    16: 층간 절연막

18: 제1 감광막 패턴    20: 비아 홀

22: 반사방지막    24: 제2 감광막 패턴

26: 트렌치    28: 수소 반응성 클리닝

30: 상부 배선

**【발명의 상세한 설명】**

**【발명의 목적】**

**【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<9>    본 발명은 반도체 소자의 제조방법에 관한 것으로, 더욱 상세하게는 수소 반응성 클리닝 공정을 저온에서 실시하여 저유전 층간절연막의 탄소 손실을 최소화하고, 상기 수소 반응성 클리닝 공정과 인-시츄로 열처리를 실시하여 구리 산화막의 환원 반응에서

발생한 부산물들을 제거하여 저유전 층간 절연막의 계면 특성을 개선시킬 수 있는 반도체 소자의 금속배선 형성방법에 관한 것이다.

<10>       공정의 미세화, 빠른 동작 속도 및 높은 신뢰성이 요구됨에 따라 반도체 소자의 금속 배선으로 구리(Cu)를 사용하고 있다. 일반적으로 구리 배선은 듀얼 다마신 패턴을 이용하여 전기도금(Electroplating) 방법으로 형성된다. 전기도금 방법으로 구리막을 형성한 후, 물성 안정화를 위해 화학 기계적 연마(Chemical Mechanical Polishing; CMP) 공정 전에 소정 온도에서 열처리를 실시하고 있다.

<11>       한편, 하부 구리 배선을 개구하는 콘택에 대한 클리닝 공정은 스퍼터 식각을 이용한 물리적 방법이 주로 이용되어 왔으며, 이로 인해 콘택 내에 구리 재증착(Cu redeposition) 현상이 발생하는 문제가 있었다. 그러나, 소자의 고속화를 위하여 층간 절연막으로 치밀(dense)하지 못한 저유전막을 사용함에 따라 클리닝에 대한 새로운 기술 개발이 요구되고 있다. 최근에는 수소 환원(hydrogen reduction)을 이용한 반응성 클리닝(reactive cleaning) 공정이 연구되고 있다. 그러나, 이러한 수소 환원을 이용한 반응성 클리닝 공정은 탄소(carbon)를 함유한 저유전 층간 절연막에서 표면 손상을 초래하여 층간 절연막의 유전 특성을 열화시키는 문제를 유발한다. 즉, 하부 배선인 구리막 표면에서 구리 산화막의 환원 반응, 즉  $\text{Cu-O} + \text{H}^+ \rightarrow \text{Cu} + \text{OH (or H}_2\text{O)}$  반응이 발생하여 OH 기 또는  $\text{H}_2\text{O}$ 와 같은 부산물이 생겨나며, 층간 절연막 내에 형성된 콘택홀의 측벽에서  $\text{SiOC} + \text{H}^+ \rightarrow \text{Si-O} + \text{CH}_4$  반응이 일어나 탄소의 손실(carbon loss)을 유발한다. 이와 같이 탄소 계열의 저유전 층간 절연막은 수소에 의하여 손상을 받는데, 이러한 현상은 반응성 클리닝 공정의 처리 온도가 높을수록 더 심화되는 것으로 알려져 있다. 따라서, 반도체 소자의 신뢰성 확보 측면에서 개선이 필요하다.

**【발명이 이루고자 하는 기술적 과제】**

- <12> 본 발명이 이루고자 하는 기술적 과제는 수소 반응성 클리닝 공정을 저온에서 실시하여 탄소의 손실을 최소화하고, 상기 클리닝 공정과 인-시츄로 열처리를 실시하여 구리 산화막의 환원 반응에서 발생한 부산물들을 제거하여 저유전 층간 절연막의 계면 특성을 개선시킬 수 있는 반도체 소자의 금속배선 형성방법을 제공함에 있다.

**【발명의 구성 및 작용】**

- <13> 상기 기술적 과제를 달성하기 위하여 본 발명은, 하부 배선이 형성된 반도체 기판 상에 층간 절연막을 형성하는 단계와, 상기 층간 절연막을 패터닝하여 상기 하부 배선과 연결되는 상부 배선 형성을 위한 개구부를 형성하는 단계와, 상기 개구부가 형성된 상기 반도체 기판을 소정 온도로 냉각시키는 단계와, 상기 개구부 측벽에 형성된 폴리머를 제거하고 상기 하부 배선 표면에 형성된 금속 산화막을 제거하기 위하여 수소 환원 반응을 이용한 클리닝 공정을 실시하는 단계와, 상기 클리닝 공정과 인-시츄로 어닐링 공정을 실시하는 단계 및 상기 개구부 내에 도전 물질을 매립하여 상부 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법을 제공한다.
- <14> 상기 개구부는 콘택홀, 트렌치, 싱글 다마신 패턴 또는 비아홀과 트렌치로 이루어진 듀얼 다마신 패턴일 수 있다.
- <15> 상기 클리닝 공정은  $H_2$  가스와 Ar 가스 또는  $H_2$  가스, Ar 가스 및  $N_2$  가스를 사용하여  $25^{\circ}C \sim 50^{\circ}C$  정도의 저온에서 실시하는 것이 바람직하다. 상기 클리닝 공정은 1.5~3mT의 압력, 500~750W의 소스 파워와 0~100W의 바이어스 파워 하에서 2~15sccm의  $H_2$  가스와 4~30sccm의 Ar 가스를 주입하여 실시하거나, 1.5~3mT의 압력, 500~750W의 소

스 파워와 0~100W의 바이어스 파워 하에서 2~15sccm의 H<sub>2</sub> 가스, 2~15sccm의 N<sub>2</sub> 가스 및 4~30sccm의 Ar 가스를 주입하여 실시할 수 있다.

<16>      상기 어닐링 공정은 2단계로 진행하되, 제1 단계는 100℃~150℃ 정도의 비교적 저온에서 진행하여 스트레스를 완화하고 상기 층간 절연막의 측벽에 흡착된 OH기 또는 H<sub>2</sub>O 부산물을 제거하고, 제2 단계는 300℃~400℃ 정도의 비교적 고온에서 진행하여 상기 층간 절연막과 상기 하부 배선의 치밀화를 이룰 수 있도록 한다.

<17>      상기 층간 절연막은 저유전율을 갖는 SiOC 계열의 절연막일 수 있다.

<18>      상기 하부 배선은 구리막으로 이루어질 수 있다.

<19>      이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 상세하게 설명하기로 한다. 그러나, 이하의 실시예는 이 기술분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다. 이하의 설명에서 어떤 층이 다른 층의 위에 존재한다고 기술될 때, 이는 다른 층의 바로 위에 존재할 수도 있고, 그 사이에 제3의 층이 게재될 수도 있다. 또한, 도면에서 각 층의 두께나 크기는 설명의 편의 및 명확성을 위하여 과장되었다. 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<20>      도 1 내지 도 7은 본 발명의 바람직한 실시예에 따른 반도체 소자의 금속배선 형성 방법을 설명하기 위하여 도시한 단면도들이다.

<21>      도 1을 참조하면, 트랜지스터(미도시) 등을 포함하는 반도체 소자가 형성되고, 싱글 다마신(Single damascene) 공정을 이용한 하부 배선(12)이 형성된 반도체 기판(10)을

준비한다. 하부 배선(12)이 형성된 반도체 기판(10) 상에 메탈의 확산을 방지하기 위한 캡핑막(14)을 형성한다. 하부 배선(12)은 구리(Cu)를 사용하고, 캡핑막(14)은 질화막을 사용한다. 캡핑막(14)은 약 500Å 정도의 두께로 형성한다.

<22> 도 2를 참조하면, 캡핑막(14) 상에 층간 절연막(16)을 형성한다. 층간 절연막(16)은 저유전율을 갖는 SiOC 계열의 절연막, SiOH 계열의 절연막, SiOF 계열의 절연막 또는 다공성 실리카 절연막 등으로 형성한다. SiOC막은 실리콘(Silicon)과 산소(Oxygen)로 구성된 게이지(Gage) 구조에 탄소(Carbon)가 다량 도핑(Doping)되어 있는 형태를 갖는다. 층간 절연막(16)은 4000Å 내지 5000Å 정도의 두께로 형성한다.

<23> 층간 절연막(16) 상에 비아 홀(via hole)(도 3의 20 참조)을 정의하는 제1 감광막 패턴(18)을 형성한다.

<24> 도 3을 참조하면, 제1 감광막 패턴(18)을 식각 마스크로 사용하여 층간 절연막(16)을 식각하여 비아 홀(20)을 형성한다. 비아 홀(20) 형성을 위한 식각은 캡핑막(14)보다 층간 절연막(16)에 대한 식각 속도가 빠른 식각 선택비를 갖도록 실시한다. 비아 홀(20) 형성을 위한 식각은 C<sub>4</sub>F<sub>8</sub> 또는 C<sub>5</sub>F<sub>8</sub> 가스와 N<sub>2</sub> 가스 및 Ar 가스를 사용할 수 있다. 구체적으로 예를 들면, 50~80mT의 압력, 1200~1500와트(W)의 소스 파워와 1500~1800W의 바이어스 파워 하에서 3~8sccm의 C<sub>4</sub>F<sub>8</sub> 또는 C<sub>5</sub>F<sub>8</sub> 가스, 100~200sccm의 N<sub>2</sub> 가스와 400~800sccm의 Ar 가스를 주입하여 식각할 수 있다.

<25> 도 4를 참조하면, 회전 도포 방식을 이용하여 유기 반사방지막(Organic Bottom Anti-Reflective Coating)(22)을 도포하여 비아 홀(20)을 매립한다. 이어서, 반도체 기판(10) 상에 트렌치(도 5의 26 참조)를 정의하는 제2 감광막 패턴(24)을 형성한다.



- <26> 도 5를 참조하면, 상기 제2 감광막 패턴(24)을 식각 마스크로 사용하여 층간 절연막(16)의 일부를 식각하여 트렌치(26)를 형성한다. 구체적으로 예를 들면,  $O_2$  플라즈마를 이용하여 반사 방지막을 제거한 다음,  $C_4F_8$  가스,  $N_2$  가스 또는 Ar 가스를 활성화한 플라즈마를 이용하여 층간 절연막(16)의 일부를 식각하여 트렌치(26)를 형성한다. 제2 감광막 패턴(24)과 층간절연막(16) 잔류하는 반사 방지막을 제거하고, 하부 배선(12)과의 연결을 위해 비아 홀(20)을 통해 노출된 캡핑막(14)을 제거하여 듀얼 다마신 패턴을 형성한다.
- <27> 도 6을 참조하면, 트렌치(26)를 형성하기 위하여 사용한 가스 또는 상기 제2 감광막 패턴(24)을 제거하기 위하여 사용한 가스들을 챔버 외부로 퍼지(perge) 또는 배출한다. 이어서, 반도체 기판(10)을  $100^{\circ}C$ 까지  $10\sim 50^{\circ}C/min$  정도로 서냉시켜 냉각시킨다. 급격한 웨이퍼 냉각에 따른 웨이퍼의 열적 쇼크(thermal shock)를 줄이기 위하여 서냉하는 것이 바람직하다. 일반적으로 후속의 클리닝 공정(28)은 트렌치(26) 형성을 위해 사용한 챔버 내에서 인-시츄(In-Situ)로 진행하기 때문에 웨이퍼가 디가스(degas) 공정(가스를 퍼지 또는 배출하는 공정)의 잠열을 포함하고 있으므로 열적 손상(thermal damage)을 받을 수 있으므로 클리닝 공정 전에 상술한 냉각 공정을 실시함으로써 열적 손상을 최소화할 수 있다.
- <28> 상술한 식각공정들에서 발생할 수 있는 폴리머(Polymer)를 제거하고 하부 배선(12) 표면에 형성된 구리 산화막을 제거하기 위하여 수소 반응성 클리닝 공정(28)을 실시한다. 상기 클리닝 공정(28)은  $H_2$  가스와 Ar 가스 또는  $H_2$  가스, Ar 가스 및  $N_2$  가스를 사용한다. 이때,  $H_2$  가스와 Ar 가스(또는 Ar 가스 및  $N_2$  가스)의 비는 0.5 이상을 넘지 않도록 조절하는 것이 바람직하다. 상기 클리닝 공정(28)은 저유전 층간 절연막(16)

의 열화 현상을 최소화하기 위하여 25℃~50℃ 정도의 저온에서 실시하는 것이 바람직하다. 구체적으로 예를 들면, 1.5~3mT의 압력, 500~750W의 소스 파워와 0~100W의 바이어스 파워 하에서 2~15sccm의 H<sub>2</sub> 가스와 4~30sccm의 Ar 가스를 주입하여 실시하거나, 1.5~3mT의 압력, 500~750W의 소스 파워와 0~100W의 바이어스 파워 하에서 2~15sccm의 H<sub>2</sub> 가스, 2~15sccm의 N<sub>2</sub> 가스 및 4~30sccm의 Ar 가스를 주입하여 실시할 수 있다.

<29>       상기 클리닝 공정을 실시한 후, 듀얼 다마신 패턴의 측벽(side wall)에 흡착되어 있는 OH기 또는 H<sub>2</sub>O와 같은 부산물(by-product)들을 제거하고 층간 절연막(16) 내에 함유된 수소(hydrogen)를 제거하기 위하여 어닐링 공정을 실시한다. 상기 어닐링 공정은 2단계로 진행하는데, 제1 단계는 100℃~150℃ 이하의 비교적 저온에서 진행하여 스트레스를 완화하고 OH기 또는 H<sub>2</sub>O와 같은 부산물을 층간 절연막(16)과의 화학적 반응없이 탈착할 수 있게 하며, 제2 단계는 300℃~400℃ 정도의 비교적 고온에서 진행하여 층간 절연막(16)과 하부 배선(12)의 치밀화(densification)를 이룰 수 있게 한다. 상기 어닐링 공정은 상기 클리닝 공정이 이루어진 챔버 내에서 인-시츄(In-Situ)로 진행하는 것이 바람직하다.

<30>       도 7을 참조하면, 비아 홀(20)과 트렌치(26)로 구성된 듀얼 다마신 패턴이 형성된 반도체 기판(10) 상에 단차를 따라 구리의 확산을 방지하기 위한 배리어막(미도시)을 증착한다. 이어서, 상기 배리어막 상에 구리 시드층(미도시)을 증착한 다음, 전기도금 방법으로 상부 배선(30)을 형성한다. 이어서, 열처리 공정과 화학 기계적 연마 (Chemical Mechanical Polishing; CMP)를 이용한 평탄화 공정을 실시하여 듀얼 다마신 구조의 금속 배선을 형성한다.

<31> 상술한 실시예에서는 층간 절연막(16) 내에 비아 홀(20)과 트렌치(26)를 포함하는 듀얼 다마신 패턴을 형성한 후 수소 반응성 클리닝 공정을 실시하는 경우를 예를 들어 설명하였으나, 본 발명은 층간 절연막(16) 내에 콘택홀, 트렌치(26) 또는 싱글 다마신 패턴을 형성한 후 클리닝 공정을 실시하는 경우에도 적용할 수 있음은 물론이다.

#### 【발명의 효과】

<32> 본 발명에 의한 반도체 소자의 금속배선 형성방법에 의하면, 저온으로 반응성 클리닝 공정을 진행할 수 있으므로 저유전 층간 절연막의 열화 현상을 감소시킬 수 있다.

<33> 또한, 반응성 클리닝 공정 전에 냉각 공정을 진행함으로써 디가스 공정 후 웨이퍼에 남아있는 잠열의 영향을 배제할 수 있으므로 층간 절연막의 열화 현상 뿐만 아니라 공정의 불안정(웨이퍼와 웨이퍼 사이의 변화)을 개선할 수 있다.

<34> 또한, 반응성 클리닝 공정 후에 인-시츄로 어닐링 공정을 진행함으로써 부산물의 탈착 뿐만아니라 층간 절연막과 손상된 구리막의 치밀화를 얻을 수 있으므로 반도체 소자의 전기적 특성을 개선할 수 있다.

<35> 또한, 콘택 클리닝 공정으로 종래에는 스퍼터를 사용한 물리적 방법이 사용하였으며 이로 인해 콘택 내에 구리 재증착(Cu redeposition) 현상이 발생하는 문제가 있었으나, 본 발명은 저온에서 수소 환원을 이용한 반응성 클리닝 공정을 사용함으로써 저유전 층간 절연막의 열화를 최소화할 수 있고 구리 재증착과 같은 문제는 발생하지 않는다.

<36> 또한, 본 발명에 의하면 저온에서 반응성 클리닝 공정을 실시하므로 듀얼 다마신 패턴에 대한 스텝 커버리지(step coverage) 특성이 개선되고, 따라서 갭 필(gap fill) 특성을 향상시킬 수 있다.

<37>        이상, 본 발명의 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되는 것은 아니며, 본 발명의 기술적 사상의 범위내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 변형이 가능하다.

**【특허청구범위】****【청구항 1】**

하부 배선이 형성된 반도체 기판 상에 층간 절연막을 형성하는 단계;

상기 층간 절연막을 패터닝하여 상기 하부 배선과 연결되는 상부 배선 형성을 위한 개구부를 형성하는 단계;

상기 개구부가 형성된 상기 반도체 기판을 소정 온도로 냉각시키는 단계;

상기 개구부 측벽에 형성된 폴리머를 제거하고 상기 하부 배선 표면에 형성된 금속 산화막을 제거하기 위하여 수소 환원 반응을 이용한 클리닝 공정을 실시하는 단계;

상기 클리닝 공정과 인-시츄로 어닐링 공정을 실시하는 단계; 및

상기 개구부 내에 도전 물질을 매립하여 상부 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 2】**

제1항에 있어서, 상기 개구부는 콘택홀, 트렌치, 싱글 다마신 패턴 또는 비아홀과 트렌치로 이루어진 듀얼 다마신 패턴인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 3】**

제1항에 있어서, 상기 클리닝 공정은  $H_2$  가스와 Ar 가스 또는  $H_2$  가스, Ar 가스 및  $N_2$  가스를 사용하여  $25^{\circ}C \sim 50^{\circ}C$  정도의 저온에서 실시하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 4】**

제1항에 있어서, 상기 클리닝 공정은 1.5~3mT의 압력, 500~750W의 소스 파워와 0~100W의 바이어스 파워 하에서 2~15sccm의 H<sub>2</sub> 가스와 4~30sccm의 Ar 가스를 주입하여 실시하거나, 1.5~3mT의 압력, 500~750W의 소스 파워와 0~100W의 바이어스 파워 하에서 2~15sccm의 H<sub>2</sub> 가스, 2~15sccm의 N<sub>2</sub> 가스 및 4~30sccm의 Ar 가스를 주입하여 실시하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 5】**

제1항에 있어서, 상기 어닐링 공정은 2단계로 진행하되, 제1 단계는 100℃~150℃ 정도의 비교적 저온에서 진행하여 스트레스를 완화하고 상기 층간 절연막의 측벽에 흡착된 OH기 또는 H<sub>2</sub>O 부산물을 제거하고, 제2 단계는 300℃~400℃ 정도의 비교적 고온에서 진행하여 상기 층간 절연막과 상기 하부 배선의 치밀화를 이룰 수 있도록 하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 6】**

제1항에 있어서, 상기 층간 절연막은 저유전율을 갖는 SiOC 계열의 절연막인 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 7】**

제1항에 있어서, 상기 하부 배선은 구리막으로 이루어진 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 8】**

제1항에 있어서, 상기 냉각 공정은 10~50℃/min로 서냉하여 냉각시키는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 9】**

제1항에 있어서, 상기 개구부를 형성하는 단계는,

상기 층간 절연막을 식각하여 상기 캡핑막을 노출시키는 비아 홀을 형성하는 단계;

상기 비아 홀 내에 반사방지막을 채우는 단계;

상기 층간 절연막의 일부를 식각하여 상기 비아 홀보다 넓은 개구부를 갖는 트렌치를 형성하는 단계; 및

상기 비아 홀을 통해 노출된 상기 캡핑막을 제거하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 10】**

제9항에 있어서, 상기 트렌치를 형성하는 단계와 상기 클리닝을 실시하는 단계를 인-시츄로 진행하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

**【청구항 11】**

제1항에 있어서, 상기 상부 배선을 형성하는 단계는,

상기 개구부가 형성된 반도체 기판의 단차를 따라 배리어막을 증착하는 단계;

상기 배리어막 상에 금속 씨드층을 증착하는 단계;

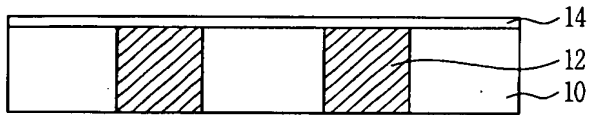
상기 금속 씨드층 상에 전기도금 방법을 이용하여 금속막을 형성하여 상기 개구부를 매립하는 단계; 및

상기 금속막을 평탄화하여 상부 배선을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 금속배선 형성방법.

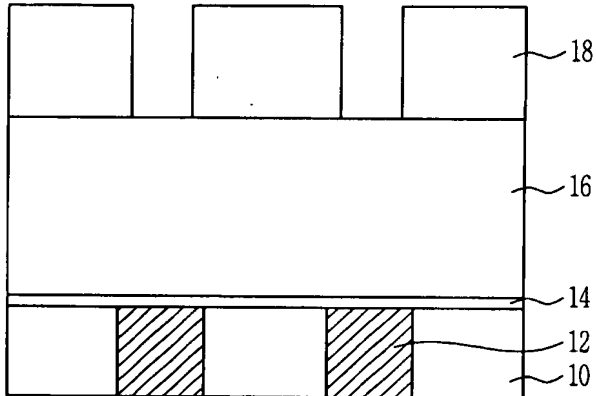


【도면】

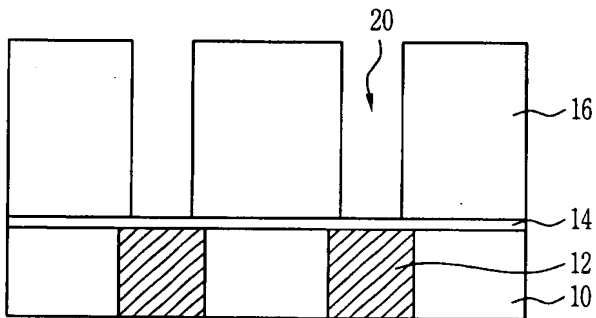
【도 1】



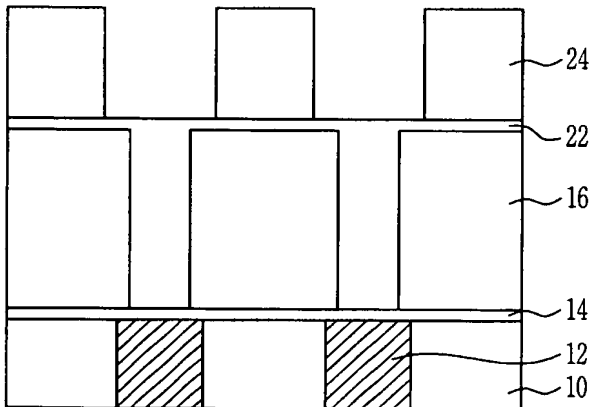
【도 2】



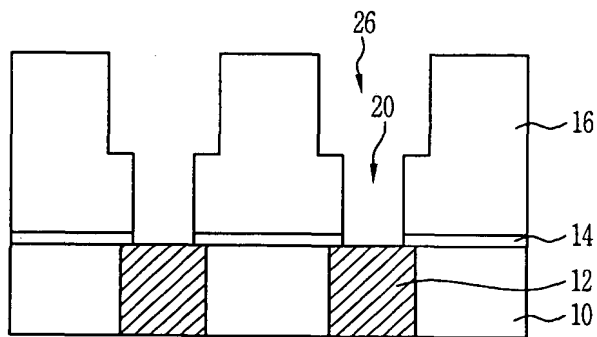
【도 3】



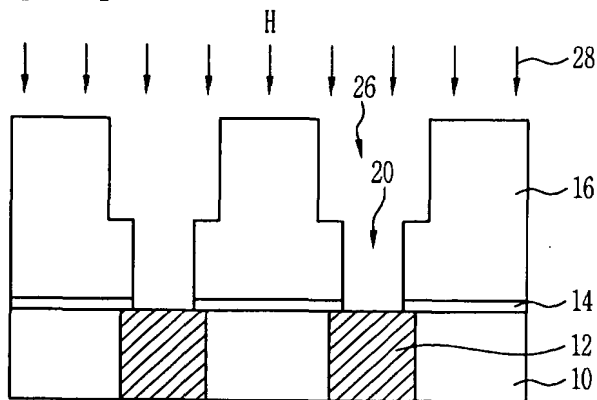
【도 4】



【도 5】



【도 6】



【도 7】

